

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09083816 A**(43) Date of publication of application: **28.03.97**

(51) Int. Cl.

H04N 1/46
B41J 2/525
G06F 12/00
G06F 12/06
G09G 5/02
G09G 5/36
H04N 1/21

(21) Application number: **07241085**(22) Date of filing: **20.09.95**(71) Applicant: **FUJITSU LTD FUJITSU SHUHENKI KK**

(72) Inventor: **INUYAMA SEIJI**
ONOE HIROSHI
HIRAOKA MASANORI

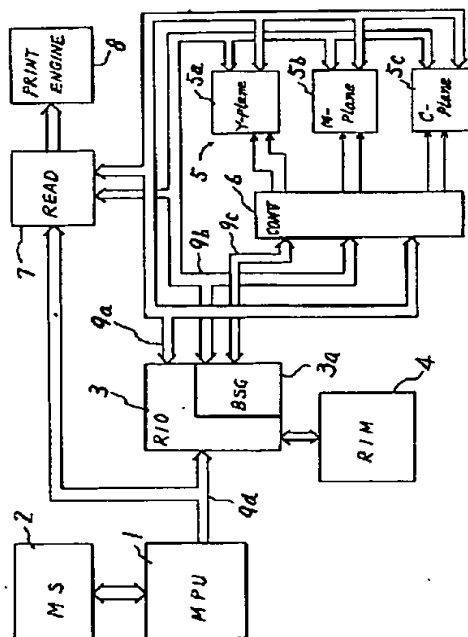
(54) **COLOR IMAGE PROCESSOR**

(57) Abstract:

PROBLEM TO BE SOLVED: To conduct the simultaneous write of plural planes by one operation by reading a source from a raster image memory with a command from a command of a microprocessor by a raster image operator circuit and writing the source to designated addresses of a bit map memory.

SOLUTION: A raster image operator circuit 3 reads source data from a raster image memory 4 according to a command from a microprocessor 1 and writes the data to designated address of a bit map memory 5. Then a data conversion circuit 6 generates write data and a write control signal of planes 5a, 5b, 5c according to an address, data, a bit select signal, a read/write command signal from the operator circuit 3. Data are written in a prescribed address of the planes 5a, 5b, 5c by write data, the write control signal and the address. The data are read by a read circuit 7 and latched.

COPYRIGHT: (C)1997,JPO



特開平 9-83816

(43)公開日 平成9年(1997)3月28日

(51) Int. Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 1/46			H 0 4 N 1/46	C
B 4 1 J 2/525			G 0 6 F 12/00	5 8 0
G 0 6 F 12/00	5 8 0			12/06 5 2 1 C
	12/06 5 2 1	9377-5 H	G 0 9 G 5/02	A
G 0 9 G 5/02		9377-5 H		5/36 5 3 0 D
	審査請求	未請求	請求項の数 5	O L (全 1 4 頁) 最終頁に続く

(21)出願番号 特願平7-241085

(22) 出願日 平成7年(1995)9月20日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番1号

(71)出願人 592019877

富士通周辺機株式会社

兵庫県加東郡社町佐保35番（番地なし）

(72) 發明者 犬山 聖二

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74) 代理人 弁理士 林 恒徳

[最終頁に続く](#)

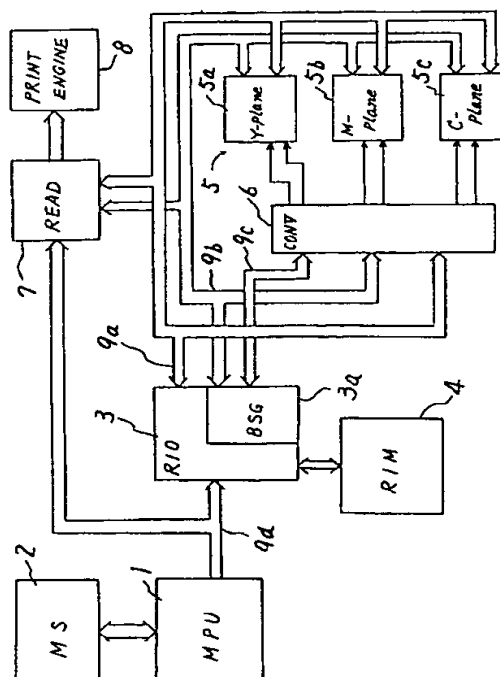
(54)【発明の名称】カラーイメージ処理装置

(57) 【要約】

【課題】 オリジナル色のビットマップメモリに、データを書き込むカラーイメージ処理装置に関し、複数のプレーンに同時に書き込みを行う。

【解決手段】 複数の各オリジナルカラーに対応して設けられた複数のプレーン5 a、5 b、5 cを有し、各オリジナルカラーのソースデータが書き込まれるビットマップメモリ5と、ソースデータを書き込むべき前記プレーンを指定する制御領域と前記ビットマップメモリの書き込みアドレス領域とを有するアドレスを作成する書き込み制御回路1、3と、アドレスの前記制御領域のビット群とソースデータからビットマップメモリ5の各プレーンの書き込みデータと書き込み選択信号を発生するデータ変換回路6と、ビットマップメモリ5の指定したアドレス領域を順次読み出し、且つ各オリジナルカラーのビットマップデータを出力する読み出し回路7とを有する。

一実施例ブロック図



【特許請求の範囲】

【請求項 1】 カラーデータを、装置が保有する複数のオリジナルカラーのビットマップデータに変換するためのカラーイメージ処理装置において、
 複数ビット幅のアドレスバスと、
 複数ビット幅のデータバスと、
 前記複数の各オリジナルカラーに対応して設けられた複数のプレーンを有し、前記各オリジナルカラーのソースデータが書き込まれるビットマップメモリと、
 前記アドレスバスと前記データバスに接続され、ソースデータと、前記ソースデータを書き込むべき前記プレーンを指定する制御領域と前記ビットマップメモリの書き込みアドレス領域とを有するアドレスとを作成し、且つ前記作成したアドレスとソースデータとを各々前記アドレスバスと前記データバスに出力する書き込み制御回路と、
 前記アドレスバスと前記データバスに接続され、前記アドレスの前記制御領域のビット群と前記ソースデータから前記ビットマップメモリの各プレーンの書き込みデータと書き込み選択信号を発生するデータ変換回路と、
 前記アドレスバスと前記データバスに接続され、前記ビットマップメモリの指定したアドレス領域を順次読み出し、且つ各オリジナルカラーのビットマップデータを出力する読み出し回路とを有することを特徴とするカラーイメージ処理装置。

【請求項 2】 請求項 1 のカラーイメージ処理装置において、
 前記データ変換回路は、前記制御領域に前記複数のプレーンが指定されている時に、前記指定された複数のプレーンに、前記書き込みデータと書き込み選択信号を発生することを特徴とするカラーイメージ処理装置。

【請求項 3】 請求項 1 又は 2 のカラーイメージ処理装置において、
 前記書き込み制御回路は、前記制御領域に、反転したデータを書き込むべきことを指示する反転ビットを作成し、
 前記データ変換回路は、前記制御領域で指定されていないプレーンに、前記ソースデータの反転されたデータと書き込み制御信号を発生することを特徴とするカラーイメージ処理装置。

【請求項 4】 請求項 1 又は 2 又は 3 のカラーイメージ処理装置において、
 前記書き込み制御回路と前記データ変換回路とに接続され、前記ソースデータのビット単位に、前記ソースデータを書き込むか書き込まないかを指定するビットセレクトバスを更に設け、
 前記書き込み制御回路は、前記ソースデータを書き込むか書き込まないかを指示するビットセレクト信号を発生し、
 前記データ変換回路は、前記アドレスの前記制御領域の

ビット群と前記ソースデータと前記ビットセレクトバスのビットセレクト信号とから前記ビットマップメモリの各プレーンの書き込みデータと書き込み選択信号を発生することを特徴とするカラーイメージ処理装置。

【請求項 5】 請求項 1 又は 2 又は 3 又は 4 のカラーイメージ処理装置において、
 前記読み出し回路は、各オリジナルカラーのビットデータから前記オリジナルカラー以外の色のビットデータを作成し、且つ出力する回路を有することを特徴とするカラーイメージ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、カラーデータを装置固有のオリジナルカラーのビットマップデータに変換するためのカラーイメージ処理装置に関し、特に各オリジナルカラーのプレーンを有するビットマップメモリに、カラーデータを書き込むためのカラーイメージ処理装置に関する。

【0002】カラープリンタやカラーディスプレイにおいては、単色で装置が表現できるオリジナルカラーを複数有している。更に、このオリジナルカラーを組み合わせることにより、オリジナルカラー以外の色の表現も可能である。

【0003】例えば、カラープリンタは、単色で表現できるオリジナルカラーとして、イエロー色（Y）、マゼンダ色（M）、シアン色（C）とを少なくとも有している。そして、これらの組み合わせにより、レッド色（R）、グリーン色（G）、ブルー色（B）等を表現する。

【0004】このようなカラープリンタ等においては、複数のオリジナルカラー毎にプレーンを持つビットマップメモリを有している。このため、これらのプレーンに高速にデータを書き込むことが望まれている。

【0005】

【従来の技術】図 11 は、従来技術の説明図である。

【0006】例えば、カラープリンタでは、単色で印刷できるオリジナルカラーとして、イエロー色（Y）、マゼンダ色（M）、シアン色（C）とを有している。そして、カラープリンタは、イエロー色、マゼンダ色、シアンのそれぞれの印刷機構を備えている。

【0007】更に、これに対応して、ビットマップメモリは、イエロー色のためのプレーン Y-plane、マゼンダ色のためのプレーン M-plane、及びシアンのためのプレーン C-plane とを有している。

【0008】そして、この各プレーンのビットマップデータを、前記各オリジナル色の印刷機構に出力して、カラー印刷を行う。

【0009】このようなカラープリンタでは、オリジナル色の印刷の他に、オリジナルカラー以外の色の印刷が可能である。即ち、オリジナルカラーを組み合わせ、

オリジナルカラー以外の色を印刷する。例えば、グリーン色は、イエロー色とシアン色との組み合わせにより、印刷できる。

【0010】このグリーン色を印刷するためには、イエロー色のプレーンY-planeとシアン色のプレーンC-planeとに、同一のパターンを書き込む必要がある。例えば、図11に示すように、用紙PPに、文字「A」をグリーン色で印刷するためには、イエロー色のプレーンY-planeに、文字「A」のパターンを書き込んだ後、シアン色のプレーンC-planeに、文字「A」のパターンを書き込むという処理をおこなっている。

【0011】又、図11に示すように、前述の文字「A」をグリーン色で印刷するためには、マゼンダ色のプレーンM-planeに、背景BGが書き込まれている場合には、マゼンダ色のプレーンM-planeから文字「A」のパターンを消去する必要がある。

【0012】

【発明が解決しようとする課題】このようにして、オリジナルカラー以外の色の印刷を行う場合には、従来のカラービットマップメモリへの書き込みにおいては、組み合わせた色のプレーンに順次ソースデータを書き込んでいた。このため、その色を表現するプレーン数の書き込み時間が必要となるため、高速の書き込みができないという問題があった。

【0013】又、組み合わせたオリジナルカラー以外の色のプレーンに何かが書き込まれている場合には、そのソースパターンを消去する処理が加わるといった問題もあった。

【0014】本発明の目的は、複数のプレーンへの書き込みを高速に行うためのカラーイメージ処理装置を提供するにある。

【0015】本発明の他の目的は、複数のプレーンへの書き込みを一度の処理によって行うためのカラーイメージ処理装置を提供するにある。

【0016】本発明の更に他の目的は、複数のプレーンへの書き込みと消去とを一度の処理によって行うためのカラーイメージ処理装置を提供するにある。

【0017】

【課題を解決するための手段】この目的の達成のため、本発明は、カラーデータを装置が保有する複数のオリジナルカラーのビットマップデータに変換するためのカラーイメージ処理装置において、複数ビット幅のアドレスバスと、複数ビット幅のデータバスと、前記複数の各オリジナルカラーに対応して設けられた複数のプレーンを有し、前記各オリジナルカラーのソースデータが書き込まれるビットマップメモリと、前記アドレスバスと前記データバスに接続され、ソースデータと、前記ソースデータを書き込むべき前記プレーンを指定する制御領域と前記ビットマップメモリの書き込みアドレス領域とを有

するアドレスとを作成し、且つ前記作成したアドレスとソースデータとを各々前記アドレスバスと前記データバスに出力する書き込み制御回路と、前記アドレスバスと前記データバスに接続され、前記アドレスの前記制御領域のビット群と前記ソースデータから前記ビットマップメモリの各プレーンの書き込みデータと書き込み選択信号を発生するデータ変換回路と、前記アドレスバスと前記データバスに接続され、前記ビットマップメモリの指定したアドレス領域を順次読み出し、且つ前記各オリジナルカラーのビットマップデータを出力する読み出し回路とを有することを特徴とする。

【0018】

【発明の実施の形態】図1は本発明の一実施例ブロック図、図2はそのプリントエンジンの機構図である。

【0019】図1に示すように、メインストレージ2は、カラーデータを格納する。マイクロプロセッサ（制御回路）1は、メインストレージ2に格納されたカラーデータから後述する書き込みアドレス、書き込むべき図形や文字を示すコード等を作成する。

【0020】ラスタライメージメモリ4は、イメージデータを格納する。ラスタライメージオペレータ回路3は、与えられたコードに応じて、ラスタライメージメモリ4をアクセスする。そして、ラスタライメージオペレータ回路3は、そのコードに対応したイメージデータをラスタライメージメモリ4から得る。更に、ラスタライメージオペレータ回路3は、バウンダリ制御等のイメージデータの移動を行って、ソースデータを作成する。

【0021】ラスタライメージオペレータ回路3は、更に、ビットセレクト信号発生回路3aを有する。ビットセレクト信号発生回路3aは、後述するように、ビット毎に、ビットデータを書き込むか書き込まないかを指定するビットセレクト信号を発生するものである。

【0022】ビットマップメモリ5は、イエロー色のビットマップデータを格納するためのプレーン5aと、マゼンダ色のビットマップデータを格納するためのプレーン5bと、シアンのビットマップデータを格納するためのプレーン5cとを有する。

【0023】データ変換回路6は、後述するように、与えられたアドレスとデータを、各プレーン5a、5b、5cのライトデータ及びライトイネーブル信号に変換するものである。

【0024】リード回路7は、各プレーン5a、5b、5cに同一のアドレスを与えて、各プレーン5a、5b、5cのビットマップデータを読み出す。プリントエンジン機構8は、図2に示すように、各オリジナル色と黒色の印刷機構を有している。そして、プリントエンジン機構8は、読みだされたビットマップデータに応じて、オリジナル色と黒色の印刷を行う。

【0025】アドレスバス9aは、ラスタライメージオペレータ回路3と、ビットマップメモリ5の各プレーン

5 a、5 b、5 cと、データ変換回路 6と、リード回路 7とを接続する。このアドレスバス 9 aのビット幅が 32ビットである。

【0026】データバス 9 bは、ラスタイメージオペレータ回路 3のビットセレクト発生回路 3 aと、ビットマップメモリ 5の各プレーン 5 a、5 b、5 cと、データ変換回路 6と、リード回路 7とを接続する。このデータバス 9 bのビット幅も、32ビットである。

【0027】ビットセレクトバス 9 cは、ラスタイメージオペレータ回路 3のビットセレクト発生回路 3 aと、データ変換回路 6とを接続する。このビットセレクトバス 9 cのビット幅も、32ビットである。アドレス/データバス 9 dは、マイクロプロセッサ 1と、ラスタイメージオペレータ回路 3と、リード回路 7とを接続する。このアドレス/データバス 9 dのビット幅も、32ビットである。

【0028】図 1の回路の動作について説明する。マイクロプロセッサ 1は、メインストレージ 2からのカラーデータを分析して、書き込みアドレス及び書き込みデータ等を作成して、ラスタイメージオペレータ回路 3に指示する。

【0029】ラスタイメージオペレータ回路 3は、マイクロプロセッサ 1からの指示内容に従い、ラスタイメージメモリ 4からソースデータを読み出し、ビットマップメモリ 5の指定されたアドレスへ書き込む動作を行う。即ち、ラスタイメージオペレータ回路 3は、前述の書き込みアドレスとソースデータ等をアドレスバス 9 a、データバス 9 bに出力する。

【0030】データ変換回路 6は、ラスタイメージオペレータ回路 4からのアドレス、データ、ビットセレクト信号、リード/ライト指示信号に従い、各プレーン 5 a、5 b、5 cの書き込みデータ及び書き込み制御信号を作成する。

【0031】この書き込みデータと書き込み制御信号とアドレスにより、各プレーン 5 a、5 b、5 cの所定のアドレスにデータが書き込まれる。

【0032】このビットマップメモリ 5に、1頁分のデータが書き込まれると、マイクロプロセッサ 1のリード指示により、リード回路 7が起動される。これにより、ビットマップメモリ 5の各プレーン 5 a、5 b、5 cのデータは、リード回路 7により読みだされ、ラッチされる。リード回路 7は、ラッチされたデータを、黒色のデータか判定する。そして、リード回路 7から各オリジナル色と黒色のデータが、プリントエンジン機構 8に出力される。

【0033】プリントエンジン機構 8は、与えられた各オリジナル色と黒色のデータに従い、各オリジナル色と黒色の印刷機構を動作させて、各オリジナル色と黒色の印刷を行う。

【0034】図 2により、プリントエンジン機構 8につ

いて、説明する。図 2に示すように、イエロー色とマゼンダ色とシアン色との各オリジナル色の画像形成ユニット Y、M、Cがパラレルに設けられている。

【0035】この例では、更に黒色の画像形成ユニット Kが設けられている。黒色は、これらのオリジナル色の組み合わせによっても、表現できる。しかし、黒色は、文書等において、鮮明な色が要求され、且つオリジナル色の組み合わせによつては、鮮明な黒色に印刷できないため、黒色の画像形成を独立に行わせるようにしている。

【0036】各色の画像形成ユニット Y、M、C、Kは、同一の構成を有する。即ち、各画像形成ユニット Y、M、C、Kは、各々感光ドラム 10-Y、10-M、10-C、10-Kを有する。この感光ドラム 10-Y、10-M、10-C、10-Kは、各々帯電器 12-Y、12-M、12-C、12-Kによって、一様帯電される。

【0037】そして、各感光ドラム 10-Y、10-M、10-C、10-Kは、各々レーザー光学系 14-Y、14-M、14-C、14-Kにより、各々イエロー色、マゼンダ色、シアン色及びブラック色のビットマップデータによる画像が露光される。これにより、各感光ドラム 10-Y、10-M、10-C、10-Kに、イエロー色、マゼンダ色、シアン色及びブラック色の潜像が形成される。

【0038】この感光ドラム 10-Y、10-M、10-C、10-Kの潜像は、各々現像器 16-Y、16-M、16-C、16-Kにより、現像される。この現像器 16-Yは、イエロー色の現像剤を感光ドラム 10-Yに供給する。又、現像器 16-Mは、マゼンダ色の現像剤を感光ドラム 10-Mに供給する。更に、現像器 16-Cは、シアン色の現像剤を感光ドラム 10-Cに供給し、現像器 16-Kは、ブラック色の現像剤を感光ドラム 10-Kに供給する。

【0039】この感光ドラム 10-Y、10-M、10-C、10-Kの現像像は、各々転写ローラ 18-Y、18-M、18-C、18-Kにより、用紙に転写される。そして、感光ドラム 10-Y、10-M、10-C、10-Kは、各々クリーナー 24-Y、24-M、24-C、24-Kによって、クリーニングされる。

【0040】一方、用紙は、ホッパー 21に収容されている。用紙は、ホッパー 21から取り出された後、搬送ローラ 20により搬送される。その後、用紙は、搬送ベルト 23により、各画像形成ユニット Y、M、C、Kの転写位置に順次搬送される。そして、各画像形成ユニットの現像像が転写された用紙は、定着器 22に搬送され、用紙の現像像が定着される。

【0041】その後、用紙は、排出ローラ 25により、スタッカー 26へ送られた後、スタッカー 26に収容される。

【0042】このカラープリンタ装置が単色で表現できるオリジナルカラーは、イエロー色、マゼンダ色、シアン色の3色である。しかし、前述の如く、黒色を鮮明に印刷するため、黒色専用の画像形成ユニットを別途設けている。従って、表現できる色数は、白色も含めて8色である。

【0043】一方、図1に示すように、ビットマップメモリ5は、オリジナルカラーのイエロー色、マゼンダ色、シアンのプレーン5a、5b、5cを有している。黒色は、イエロー色、マゼンダ色、シアンの混色であるから、リード回路7により、黒色のビットマップデータは、3つのプレーンのビットマップデータより作成する。

【0044】図3は、図1のマイクロプロセッサ1が発生する書き込みアドレスの構成図、図4はその制御ビットの動作説明図である。

【0045】図3に示すように、32ビットのアドレスは、上位4ビットからなる制御ビット領域と、下位28ビットからなるアドレス領域に分けられる。即ち、32ビットのアドレスの上位4ビットが、制御ビット領域に割り当てられている。

【0046】制御ビット領域は、最上位の31ビット目が、後述する反転ビットREVである。次の30ビット目は、シアンのプレーン5cを書き込み対象に指定するプレーン指定ビットCBである。次の29ビット目は、マゼンダ色のプレーン5bを書き込み対象に指定するプレーン指定ビットMBである。次の28ビット目は、イエロー色のプレーン5aを書き込み対象に指定するプレーン指定ビットYBである。

【0047】この制御ビット領域の意味について、図4により、説明する。図4に示すように、反転ビットが「0」の場合には、プレーン指定ビットで指定されたプレーンに、ソースデータが書き込まれる。例えば、イエロー色を印刷したい時には、イエロー色のプレーン指定ビットYBのみを「1」とする。これにより、イエロー色のプレーン5aに、ソースデータがライトされる。

【0048】又、オリジナルカラーの組み合わせにより、色を表現する場合には、その色を表す複数のプレーン指定ビットを「1」とする。例えば、マゼンダ色とイエロー色との混色であるレッド色を印刷したい時には、マゼンダ色とイエロー色のプレーン指定ビットMB、YBを「1」とする。これにより、マゼンダ色とイエロー色のプレーン5b、5aに、同じソースデータが書き込まれる。

【0049】従って、書き込みプレーンを指定する制御ビット領域のプレーン指定ビットにより、書き込むべきプレーンを単数にも、複数にも指定できる。この制御ビット領域は、アドレスの一部であるため、アドレスの指定により、書き込むべきプレーンも指定できる。このため、1回の処理により、複数プレーンの同時書き込みが

可能となる。

【0050】一方、反転ビットが「1」の場合には、プレーン指定ビットで指定されたプレーンに、ソースデータが書き込まれる他に、プレーン指定ビットで指定されなかったプレーンには、ソースデータの反転データが書き込まれる。例えば、イエロー色のプレーンに、ソースデータを書き込み、その他のプレーンからソースデータを消去したい場合には、反転ビットを「1」にして、イエロー色のプレーン指定ビットYBのみを「1」とする。これにより、イエロー色のプレーン5aに、ソースデータを書き込み、その他のプレーン5b、5cからソースデータを消去する動作が行われる。

【0051】この場合にも、オリジナルカラーの組み合わせにより、色を表現する場合には、その色を表す複数のプレーン指定ビットを「1」とする。このため、1回の処理により、データを消去したいプレーンも指定できる。

【0052】マイクロプロセッサ1は、メインストレージ2のカラーデータの指定した色に応じて、図4の表により、アドレスの制御ビット領域の制御ビット群を作成して、出力する。

【0053】図5は、図1のビットマップメモリの構成図、図6は、図5のデータ変換回路の説明図である。

【0054】イエロー色のプレーン5aは、32ビットのデータに対応して、32個のメモリ5Y-0～5Y-31を有する。各々のメモリ5Y-0～5Y-31は、データ幅が1ビットで、16キロビットの容量を有するRAMで構成される。

【0055】この各々のメモリ5Y-0～5Y-31は、読み出しのためのローアドレスストロブ/カラムアドレスストロブ入力端子RAS/CASと、書き込みデータの入力のためのデータ入力端子YD0～YD31と、ライトイネーブル端子YWE0～YWE31とを有する。

【0056】更に、各々のメモリ5Y-0～5Y-31は、リードデータを駆動するドライバ51Y-0～51Y-31を有する。

【0057】マゼンダ色のプレーン5bは、32ビットのデータに対応して、32個のメモリ5M-0～5M-31を有する。各々のメモリ5M-0～5M-31は、データ幅が1ビットで、16キロビットの容量を有するRAMで構成される。

【0058】この各々のメモリ5M-0～5M-31は、読み出しのためのローアドレスストロブ/カラムアドレスストロブ入力端子RAS/CASと、書き込みデータの入力のためのデータ入力端子MD0～MD31と、ライトイネーブル端子MWE0～MWE31とを有する。

【0059】更に、各々のメモリ5M-0～5M-31は、リードデータを駆動するドライバ51M-0～51

M-31を有する。

【0060】シアン色のプレーン5cは、32ビットのデータに対応して、32個のメモリ5C-0～5C-31を有する。各々のメモリ5C-0～5C-31は、データ幅が1ビットで、16キロビットの容量を有するRAMで構成される。

【0061】この各々のメモリ5C-0～5C-31は、読み出しのためのローアドレスストロブ/カラムアドレスストロブ入力端子RAS/CASと、書き込みデータの入力のためのデータ入力端子CD0～CD31と、ライトイネーブル端子CWE0～CWE31とを有する。

【0062】更に、各々のメモリ5C-0～5C-31は、リードデータを駆動するドライバ51C-0～51C-31を有する。

【0063】デコーダ60は、アドレスバス9aのアドレスの内、28ビットのアドレス領域のビットが入力される。デコーダ60は、このアドレス領域のビットをデコードして、内部バスA-BUSに出力する。この内部バスA-BUSは、各メモリ5Y-0～5C-31にデコードされたアドレスを供給する。

【0064】レシーバ61は、マイクロプロセッサ1からのリード/ライト指示R/W、アドレスバス9aからのアドレスの制御ビット領域の各制御ビットREV、CB、MB、YBを受け、中継する。

【0065】データ変換回路6は、32ビットのデータに対応して、32個のデータ変換用ROM6-0～6-31を有する。

【0066】第1のデータ変換用ROM6-0は、リード/ライト指示R/W、制御ビット領域の各制御ビットREV、CB、MB、YBと、データバス9bの0番目のデータDATA0と、ビットセレクトバス9cの0番目のビットセレクト信号BITSL0とを受ける。

【0067】そして、第1のデータ変換用ROM6-0は、リード/ライト指示がライト指示(R/W=1)の場合に、これらに対応したイエロー色のメモリ5Y-0の書き込みデータYD0、書き込みイネーブル信号YWE0、マゼンダ色のメモリ5M-0の書き込みデータMD0、書き込みイネーブル信号MWE0、シアン色のメモリ5C-0の書き込みデータCD0、書き込みイネーブル信号CWE0を出力する。

【0068】即ち、第1のデータ変換用ROM6-0は、ライト指示の場合に、第0番目のデータDATA0を、制御ビットREV、CB、MB、YBとビットセレクト信号BITSL0に応じて、書き込みデータYD0、書き込みイネーブル信号YWE0、書き込みデータMD0、書き込みイネーブル信号MWE0、書き込みデータCD0、書き込みイネーブル信号CWE0に変換する。

【0069】この第1のデータ変換用ROM6-0の変

換テーブルは、図6に示される。これによると、第0番目のビットセレクト信号BITSL0が「0」の場合には、いずれの書き込みイネーブル信号CWE0、MWE0、YWE0も「0」であり、データがいずれの値をとっても、書き込みは行われない。

【0070】又、第0番目のビットセレクト信号BITSLが「1」、データDATA0が「0」の場合には、制御ビットREV、CB、MB、YBに応じて、次の書き込み指示に変換される。

10 【0071】制御ビットREVが「0」の場合には、反転が指示されないので、制御ビットCB、MB、YBが指定するプレーンの書き込みイネーブル信号CWE0、MWE0、YWE0が「1」となる。又、制御ビットCB、MB、YBが指定するプレーンの書き込みデータCD0、MD0、YD0は、データDATA0と同様に「0」となる。

【0072】従って、書き込みイネーブル信号CWE0、MWE0、YWE0が「1」のメモリ5Y-0、5M-0、5C-0に、データ「0」が書き込まれる。

20 【0073】この場合において、制御ビットCB、MB、YBにおいて、複数のプレーンを指定すると、一度にその指定されたプレーンの全てに書き込みが行われる。

【0074】制御ビットREVが「1」の場合には、反転が指示されているので、制御ビットCB、MB、YBが指定するプレーンの書き込みイネーブル信号CWE0、MWE0、YWE0が「1」となる。又、制御ビットCB、MB、YBが指定しないプレーンの書き込みイネーブル信号CWE0、MWE0、YWE0も「1」となる。即ち、全ての書き込みイネーブル信号CWE0、MWE0、YWE0は、「1」となる。

【0075】これとともに、制御ビットCB、MB、YBが指定するプレーンの書き込みデータCD0、MD0、YD0は、データDATA0と同様に「0」となる。そして、制御ビットCB、MB、YBが指定しないプレーンの書き込みデータCD0、MD0、YD0は、データDATA0の反転データである「1」となる。

【0076】従って、制御ビットCB、MB、YBにより指定されたプレーンのメモリ5Y-0、5M-0、5C-0に、データ「0」が書き込まれる。一方、制御ビットCB、MB、YBにより指定されなかったプレーンのメモリ5Y-0、5M-0、5C-0に、データ「1」が書き込まれる。

【0077】この場合において、制御ビットCB、MB、YBにおいて、複数のプレーンを指定すると、一度にその指定されたプレーンの全てに、データDATA0と同一のデータの書き込みが行われる。これとともに、反転ビットREVにより、制御ビットCB、MB、YBで指定されなかったプレーンに、データDATA0の反転データの書き込みが行われる。

【0078】次に、第0番目のビットセレクト信号*BiTSL*が「1」、データ*DATA0*が「1」の場合には、制御ビット*REV*、*CB*、*MB*、*YB*に応じて、次の書き込み指示に変換される。

【0079】制御ビット*REV*が「0」の場合には、反転が指示されないで、制御ビット*CB*、*MB*、*YB*が指定するプレーンの書き込みエネーブル信号*CWEO*、*MWEO*、*YWEO*が「1」となる。又、制御ビット*CB*、*MB*、*YB*が指定するプレーンの書き込みデータ*CD0*、*MD0*、*YD0*は、データ*DATA0*と同様に「1」となる。

【0080】従って、書き込みエネーブル信号*CWEO*、*MWEO*、*YWEO*が「1」のメモリ5*Y-0*、5*M-0*、5*C-0*に、データ「1」が書き込まれる。

【0081】この場合において、制御ビット*CB*、*MB*、*YB*において、複数のプレーンを指定すると、一度にその指定されたプレーンの全てに書き込みが行われる。

【0082】制御ビット*REV*が「1」の場合には、反転が指示されているので、制御ビット*CB*、*MB*、*YB*が指定するプレーンの書き込みエネーブル信号*CWEO*、*MWEO*、*YWEO*が「1」となる。又、制御ビット*CB*、*MB*、*YB*が指定しないプレーンの書き込みエネーブル信号*CWEO*、*MWEO*、*YWEO*も「1」となる。即ち、全ての書き込みエネーブル信号*CWEO*、*MWEO*、*YWEO*は、「1」となる。

【0083】これとともに、制御ビット*CB*、*MB*、*YB*が指定するプレーンの書き込みデータ*CD0*、*MD0*、*YD0*は、データ*DATA0*と同様に「1」となる。そして、制御ビット*CB*、*MB*、*YB*が指定しないプレーンの書き込みデータ*CD0*、*MD0*、*YD0*は、データ*DATA0*の反転データである「0」となる。

【0084】従って、制御ビット*CB*、*MB*、*YB*により指定されたプレーンのメモリ5*Y-0*、5*M-0*、5*C-0*に、データ「1」が書き込まれる。一方、制御ビット*CB*、*MB*、*YB*により指定されなかったプレーンのメモリ5*Y-0*、5*M-0*、5*C-0*に、データ「0」が書き込まれる。

【0085】この場合において、制御ビット*CB*、*MB*、*YB*において、複数のプレーンを指定すると、一度にその指定されたプレーンの全てに、データ*DATA0*と同一のデータの書き込みが行われる。これとともに、反転ビット*REV*により、制御ビット*CB*、*MB*、*YB*で指定されなかったプレーンに、データ*DATA0*の反転データの書き込みが行われる。

【0086】尚、このイエロー色のメモリのライトデータ*YD0*とライトイネーブル信号*YWE0*は、ライン1₁₁、1₁₂により、メモリ5*Y-0*に入力される。又、マゼンダ色のメモリのライトデータ*MD0*とライトイネーブル信号*MWE0*は、ライン1₁₃、1₁₄により、メモリ

5*M-0*に入力される。更に、シアン色のメモリのライトデータ*CD0*とライトイネーブル信号*CWE0*は、ライン1₁₅、1₁₆により、メモリ5*C-0*に入力される。

【0087】以下同様に、第32のデータ変換用ROM6-31は、ライト指示の場合に、第31番目のデータ*DATA31*を、制御ビット*REV*、*CB*、*MB*、*YB*とビットセレクト信号*BiTSL31*に応じて、書き込みデータ*YD31*、書き込みイネーブル信号*YWE31*、書き込みデータ*MD31*、書き込みイネーブル信号*MWE31*、書き込みデータ*CD31*、書き込みイネーブル信号*CWE31*に同様に変換する。

【0088】そして、これにより、第32のメモリ5*Y-31*、5*M-31*、5*C-31*をライト制御する。

【0089】このようにして、アドレスの制御ビット領域のプレーン指定ビット*CB*、*MB*、*YB*で指定されたプレーンに、32ビットのデータが書き込まれる。従って、プレーン指定ビット*CB*、*MB*、*YB*で複数のプレーンが指定されると、複数のプレーンに一度に同じデータが書き込まれる。このため、高速の書き込みが可能となる。

【0090】又、制御ビット領域の反転ビットを「1」に指示した場合には、プレーン指定ビット*CB*、*MB*、*YB*で指示されないプレーンには、書き込みデータを反転したデータが書き込まれる。これにより、特定のプレーンのデータの消去も、書き込みと同時に行われる。

【0091】さて、前述したビットセレクトバス9cのビットセレクト信号について、説明する。図7は、図1のビットセレクト信号発生回路3aの構成図、図8

(A)及び図8(B)は、ビットセレクト信号の説明図である。

【0092】ビットセレクトオフモードは、ソースデータ自体を上書きするモードである。例えば、図8(A)に示すように、背景BGに対し、文字「A」、「B」、「C」のデータを上書きする場合に使用する。従って、文字のパターン部分(データ「1」の部分)以外には、データ「0」が書き込まれる。

【0093】ビットセレクトオンモードは、ソースデータの「1」の部分のみを書き込むモードである。例えば、図8(B)に示すように、背景BGに対し、文字のパターン部分(データ「1」の部分)のみを書き込む場合に使用する。即ち、リードモデファイドライトを1度に行うものである。従って、文字のパターン部分以外には、データが書き込まれない。

【0094】図7に示すように、ビットセレクトのモード信号*BiTSL-ON*は、マイクロプロセッサ1から発生される。反転回路31-1~31-31は、モード信号*BiTSL-ON*を反転する。アンドゲート30-1~30-31は、各々ソースデータ*RIMD0*~*RIMD31*と、モード信号*BiTSL-ON*の論理積を得る。

【0095】オアゲート32-1～32-31は、反転回路31-1～31-31の出力と、アンドゲート30-1～30-31の出力との論理和を得る。このオアゲート32-1～32-31の出力が、ビットセレクトバス9cのビットセレクト信号BITSL0～BITSL31である。

【0096】ドライバ回路33-1～33-31は、ソースデータRIMD0～RIMD31をドライブして、データバス9bに送出する。このデータバス9b上のデータが、データBD0～BD31である。

【0097】この回路の動作を説明する。ビットセレクトオフモードでは、モード信号が「0」のため、反転回路31-1～31-31とオアゲート32-1～32-31を介して、「1」のビットセレクト信号BITSL0～BITSL31が出力される。

【0098】従って、図6で説明したように、制御ビットREV、CB、MB、YBに従って、データ「1」又は「0」が書き込まれる。これにより、図8(A)で示したように、背景上にソースデータの書き込みが可能となる。

【0099】一方、ビットセレクトオンモードでは、モード信号が「1」である。このため、アンドゲート30-1～30-31により、ソースデータRIMD0～RIMD31が「1」の場合のみ、「1」のビットセレクト信号BITSL0～BITSL31が出力される。そして、ソースデータRIMD0～RIMD31が「0」の場合には、「0」のビットセレクト信号BITSL0～BITSL31が出力される。

【0100】従って、図6で説明したように、ソースデータRIMD0～RIMD31が「1」の場合には、制御ビットREV、CB、MB、YBに従って、データ「1」が書き込まれる。一方、ソースデータRIMD0～RIMD31が「0」の場合には、書き込みは行われない。これにより、図8(B)で示したように、背景上に、パターン部分のみの書き込みが指定できる。しかも、書き込みと同時の処理でこの書き込みが可能となる。

【0101】このようにして、ビットセレクト信号の指定により、上書き又はリードモディファイドライトの動作が可能となる。

【0102】図9は、図1のリード回路の構成図、図10は、図9のリード回路のタイムチャート図である。

【0103】図9に示すように、リードアドレスカウンタ70は、マイクロプロセッサ1からリード開始アドレスをロードされる。そして、カウンタ70は、マイクロプロセッサ1からのスタート信号STARTにより、カウントイネーブルとなる。これにより、カウンタ70は、後述するラッチ信号発生回路71～76からのラッチ信号CRSを計数する。これにより、カウンタ70は、28ビットのリードアドレスを、アドレスバス9a

に送出する。

【0104】ラッチ信号発生回路71～76は、カウンタ71を有する。カウンタ71は、マイクロプロセッサ1からのスタート信号STARTにより、カウントイネーブル状態になる。そして、カウンタ71は、ラッチ信号CRSにより、「0」がロードされ、クロックCLKをカウントする。

【0105】第1の反転回路72は、カウンタ71の1桁目の出力を反転する。第2の反転回路73は、カウンタ71の2桁目の出力を反転する。第1のアンドゲート74は、両反転回路72、73の出力の論理積をとる。これにより、第1のアンドゲート74からイエロー色用のラッチ信号YRSが出力される。

【0106】第2のアンドゲート75は、カウンタ71の1桁目の出力と、第2の反転回路73の出力との論理積をとる。これにより、第2のアンドゲート75からマゼンダ色用のラッチ信号MRSが出力される。

【0107】第3のアンドゲート76は、カウンタ71の2桁目の出力と、第1の反転回路72の出力との論理積をとる。これにより、第3のアンドゲート76からシアン色用のラッチ信号CRSが出力される。

【0108】ラッチ回路ユニット77Y-0～77K-31は、データ幅である32ビット分設けられている。1ビット目のデータに対応する第1のラッチ回路ユニットは、ラッチ信号YRSでデータバス9bの1ビット目のデータBD0をラッチする第1のラッチ回路77Y-0と、ラッチ信号MRSでデータバス9bの1ビット目のデータBD0をラッチする第1のラッチ回路77M-0と、ラッチ信号CRSでデータバス9bの1ビット目のデータBD0をラッチする第1のラッチ回路77C-0と、3つのラッチ回路77Y-0、77M-0、77C-0の出力の論理積をとるアンドゲート77K-0とを有する。このアンドゲート77K-0の出力は、黒色用のデータK00を発生する。

【0109】このラッチ回路ユニットが、データバス9bのビット数分設けられている。32ビット目のデータに対応する第32のラッチ回路ユニットは、ラッチ信号YRSでデータバス9bの32ビット目のデータBD31をラッチする第1のラッチ回路77Y-31と、ラッチ信号MRSでデータバス9bの32ビット目のデータBD31をラッチする第1のラッチ回路77M-31と、ラッチ信号CRSでデータバス9bの32ビット目のデータBD31をラッチする第1のラッチ回路77C-31と、3つのラッチ回路77Y-31、77M-31、77C-31の出力の論理積をとるアンドゲート77K-31とを有する。このアンドゲート77K-31の出力は、黒色用のデータK31を発生する。

【0110】RAS/CAS信号発生回路78は、各々ラッチ信号YRS、MRS、CRSに同期して、図5で説明したイエロー色のメモリ5aのローアドレスストロ

ープ/カラムアドレスストロブY-RAS/CAS、マゼンダ色のメモリ5bのローアドレスストロブ/カラムアドレスストロブM-RAS/CAS、シアン色のメモリ5cのローアドレスストロブ/カラムアドレスストロブC-RAS/CASを発生する。

【0111】図10を用いて、図9の回路の動作を説明する。マイクロプロセッサ1は、ビットマップメモリ5のリードを開始する。まず、マイクロプロセッサ1は、リード開始アドレスとロード信号をカウンタ70に出力する。これにより、カウンタ70に、リード開始アドレスがロードされる。

【0112】次に、マイクロプロセッサ1は、リードスタート信号STARTを、カウンタ70及び71に出力する。これにより、カウンタ71は、クロックCLKを計数する。この計数動作に伴い、第1、第2及び第3のアンドゲート74、75、76から順次各色のラッチ信号YRS、MRS、CRSが出力される。

【0113】このラッチ信号YRS、MRS、CRSに同期して、RAS/CAS信号発生回路78は、イエロー色のローアドレスストロブ/カラムアドレスストロブY-RAS/CAS、マゼンダ色のローアドレスストロブ/カラムアドレスストロブM-RAS/CAS、シアン色のローアドレスストロブ/カラムアドレスストロブC-RAS/CASを発生する。

【0114】従って、アドレスカウンタ70が、図5に示す各色のメモリ5a、5b、5cに、1つのアドレスを与えている間に、順次各色のメモリ5a、5b、5cから、そのアドレスのデータがリードされる。そして、図10に示すように、各色のメモリ5a、5b、5cのデータY、M、Cが順次データバス9bに出力される。

【0115】各ラッチ回路ユニットは、データバス9bに出力されたリードデータを、ラッチ信号YRS、MRS、CRSにより、そのラッチ回路77Y-0~77C-31にラッチする。これにより、イエロー色のラッチ回路77Y-0~77Y-31には、イエロー色のメモリ5aのデータがラッチされる。又、マゼンダ色のラッチ回路77M-0~77M-31には、マゼンダ色のメモリ5bのデータがラッチされ、シアン色のラッチ回路77C-0~77C-31には、シアン色のメモリ5cのデータがラッチされる。

【0116】このようにして、1アドレス中に、3回のリード動作が行われた後、リードアドレスカウンタ70は、ラッチ信号CRSを計数して、次のリードアドレスを生成する。従って、以下、同様にして、次のアドレスのリード動作が行われる。

【0117】ここで、黒色は、イエロー色とマゼンダ色とシアン色の混色である。従って、イエロー色のラッチデータと、マゼンダ色のラッチデータと、シアン色のラッチデータの論理積をとると、黒色のデータが得られる。このため、アンドゲート77K-0~77K-31

が設けられている。

【0118】このようにして、黒色のビットマッププレーンが設けられなくても、黒色のデータを生成できる。このため、ビットマップメモリ5の容量を小さくできる。

【0119】尚、黒色のデータが「1」の時には、イエロー色のラッチデータと、マゼンダ色のラッチデータと、シアン色のラッチデータも全て「1」であり、4色の印刷が行われる。これを防止するためには、アンドゲート77K-0~77K-31の出力が「1」の場合に、イエロー色のラッチデータと、マゼンダ色のラッチデータと、シアン色のラッチデータとの出力を禁止する禁止回路を設けることが望ましい。

【0120】例えば、各アンドゲート77K-0~77K-31の出力を反転する反転回路と、反転回路の出力と3つのラッチ回路の出力との論理積をとる3つのアンドゲートを設けると良い。

【0121】上述の実施例の他に、本発明は、次のような変形が可能である。

【0122】①オリジナル色分のビットマッププレーンを設けた例で説明したが、黒色のビットマッププレーンを別に設けても良い。又、黒色の印刷機構を削除しても良い。

【0123】②カラープリンタとして、電子写真印刷機構の例で説明したが、インクジェット印刷機構や熱転写印刷機構等他のカラー印刷機構にも適用できる。

【0124】③カラープリンタの例で説明したが、カラーディスプレイにも適用できる。この場合、オリジナル色は、レッド色、グリーン色、ブルー色となる。

【0125】以上、本発明を実施例により説明したが、本発明の主旨の範囲内で種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

【0126】

【発明の効果】以上説明したように、本発明によれば、次の効果を奏する。

【0127】①書き込みアドレスに、書き込みプレーンを指定する制御ビット領域を設け、制御ビット領域の内容から書き込みプレーンを選択するので、複数のプレーンの同時書き込みが可能となり、書き込み動作を高速にできる。

【0128】②書き込みアドレスの設定により実現するため、別にコマンドを必要とせず、1回の処理により、複数プレーンの同時書き込みが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例ブロック図である。

【図2】図1のプリントエンジンの機構図である。

【図3】図1のアドレスの構成図である。

【図4】図3の制御ビットの動作説明図である。

【図5】図1のビットマップメモリ5の構成図である。

【図6】図5のデータ変換回路の説明図である。

【図7】図1のビットセレクト信号発生回路の構成図で

ある。

【図8】図7のビットセレクト信号の説明図である。

【図9】図1のリード回路の構成図である。

【図10】図9のリード回路のタイムチャート図である。

【図11】従来技術の説明図である。

【符号の説明】

1 マイクロプロセッサ（書き込み制御回路）

2 メインストレージ

3 ラスタイメージオペレータ回路（書き込み制御回

路）

4 ラスタイメージメモリ

5 ビットマップメモリ

5 a、5 b、5 c プレーン

6 データ変換回路

7 リード回路

8 プリントエンジン機構

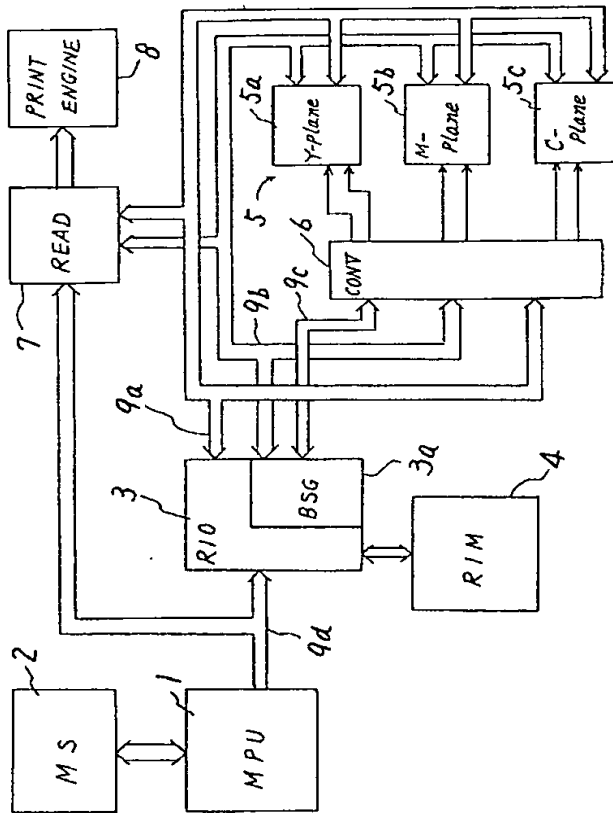
9 a アドレスバス

9 b データバス

9 c ビットセレクトバス

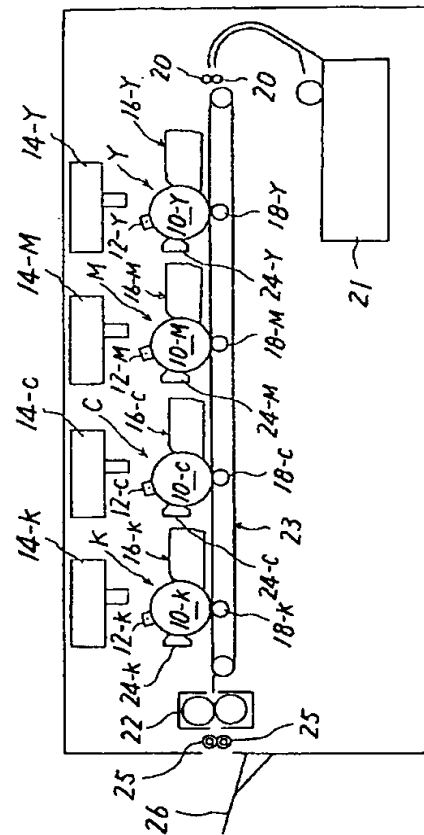
【図1】

一実施例ブロック図



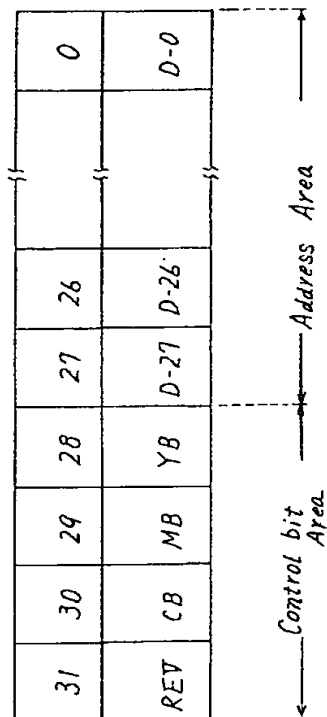
【図2】

プリントエンジンの機構図



【図3】

アドレスの構成図



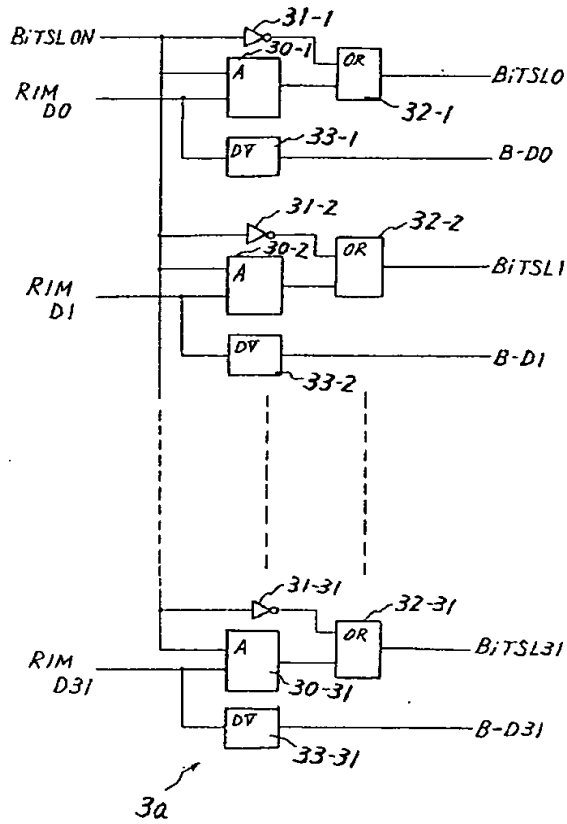
【図4】

制御ビットの動作説明図

REV	CB	MB	YB	CO LoR	C-plane	M-plane	Y-plane
0	0	0	0	—	NOP	NOP	NOP
0	0	0	1	Y	NOP	NOP	Source write
0	0	1	0	M	NOP	Source write	NOP
0	0	1	1	R	NOP	Source write	Source write
0	1	0	0	C	Source write	NOP	NOP
0	1	0	1	G	Source write	NOP	Source write
0	1	1	0	B	Source write	Source write	NOP
0	1	1	1	K	Source write	Source write	Source write
1	0	0	0	W	Reversed Source write	Reversed Source write	Reversed Source write
1	0	0	1	Y	Reversed Source write	Reversed Source write	Source write
1	0	1	0	M	Reversed Source write	Source write	Reversed Source write
1	0	1	1	R	Reversed Source write	Source write	Source write
1	1	0	0	C	Source write	Reversed Source write	Reversed Source write
1	1	0	1	G	Source write	Reversed Source write	Source write
1	1	1	0	B	Source write	Source write	Reversed Source write
1	1	1	1	K	Source write	Source write	Source write

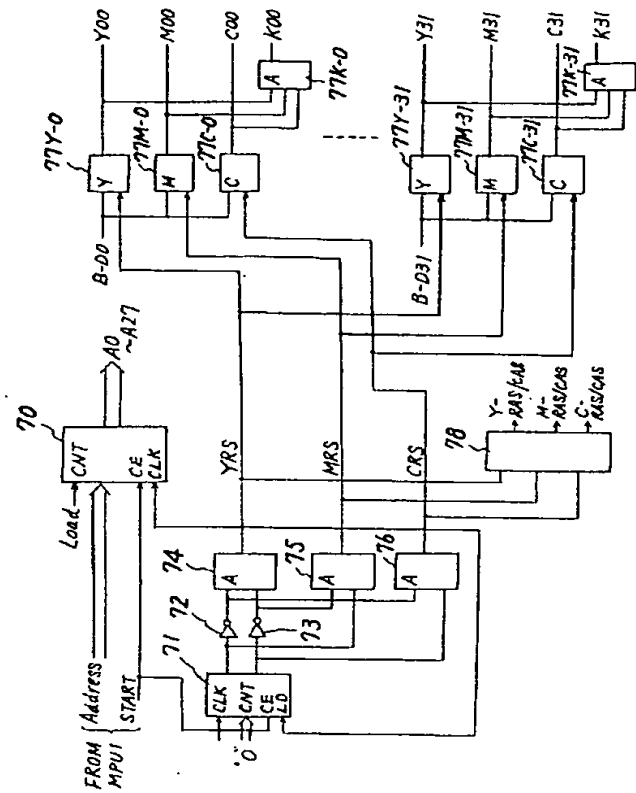
【図 7】

ビットセレクト信号発生回路の構成図



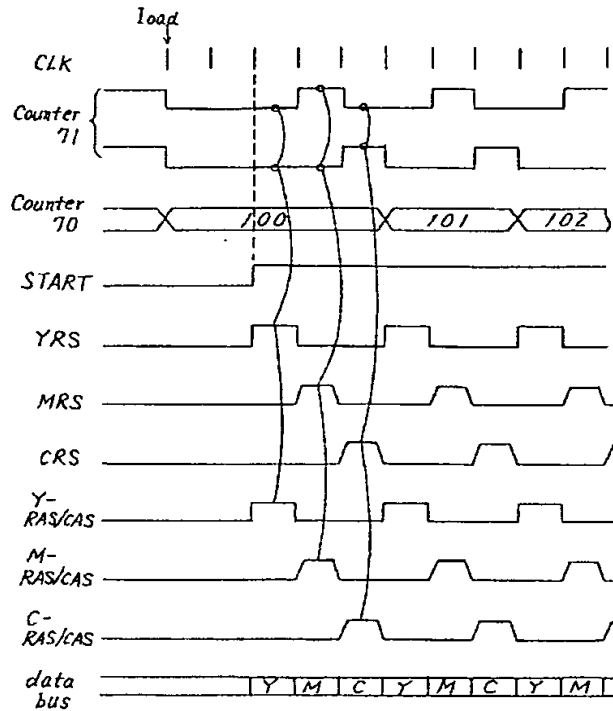
【図 9】

リード回路の構成図



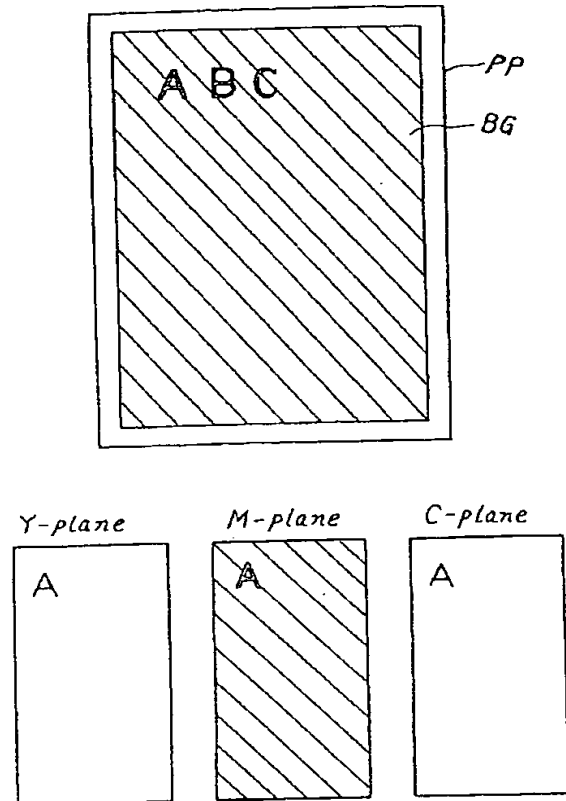
【図10】

リード回路のタイムチャート図



【図11】

従来技術の説明図



フロントページの続き

(51) Int. Cl. ⁶

G 0 9 G 5/36

H 0 4 N 1/21

識別記号

5 3 0

片内整理番号

F 1

H 0 4 N 1/21

B 4 1 J 3/00

技術表示箇所

B

(72) 発明者 尾上 弘

兵庫県加東郡社町佐保35番 (番地なし)

富士通周辺機株式会社内

(72) 発明者 平岡 正則

兵庫県加東郡社町佐保35番 (番地なし)

富士通周辺機株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.